

# 特許協力条約

PCT

特許性に関する国際予備報告（特許協力条約第二章）

（法第12条、法施行規則第56条）

〔PCT36条及びPCT規則70〕

出願人又は代理人 の書類記号 380300417W01	今後の手続きについては、様式PCT/IPEA/416を参照すること。	
国際出願番号 PCT/J P 2005/000328	国際出願日 (日.月.年) 14. 01. 2005	優先日 (日.月.年) 21. 01. 2004
国際特許分類 (IPC) Int.Cl. H03K19/0944 (2006. 01)		
出願人 (氏名又は名称) 株式会社ルネサステクノロジ		

1. この報告書は、PCT35条に基づきこの国際予備審査機関で作成された国際予備審査報告である。  
法施行規則第57条（PCT36条）の規定に従い送付する。

2. この国際予備審査報告は、この表紙を含めて全部で 4 ページからなる。

3. この報告には次の附属物件も添付されている。

a. ☒ 附属書類は全部で 11 ページである。

☒ 補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関が認めた訂正を含む明細書、請求の範囲及び/又は図面の用紙（PCT規則70.16及び実施細則第607号参照）

☐ 第I欄4.及び補充欄に示したように、出願時における国際出願の開示の範囲を超えた補正を含むものとこの国際予備審査機関が認定した差替え用紙

b. ☐ 電子媒体は全部で (電子媒体の種類、数を示す)。  
配列表に関する補充欄に示すように、電子形式による配列表又は配列表に関連するテーブルを含む。  
(実施細則第802号参照)

4. この国際予備審査報告は、次の内容を含む。

☒ 第I欄 国際予備審査報告の基礎

☐ 第II欄 優先権

☐ 第III欄 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成

☐ 第IV欄 発明の単一性の欠如

☒ 第V欄 PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明

☐ 第VI欄 ある種の引用文献

☐ 第VII欄 国際出願の不備

☐ 第VIII欄 国際出願に対する意見

国際予備審査の請求書を受理した日 14. 01. 2005	国際予備審査報告を作成した日 01. 02. 2006	
名称及びあて先 日本国特許庁 (IPEA/J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 宮島 郁美	5 X 8 5 2 3
電話番号 03-3581-1101 内線 3596		

様式PCT/IPEA/409 (表紙) (2005年4月)

## 第V欄 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

## 1. 見解

新規性 (N)	請求の範囲	1-35, 37-43, 48-52	有
	請求の範囲		無
進歩性 (IS)	請求の範囲	1-35, 37-43, 48-52	有
	請求の範囲		無
産業上の利用可能性 (IA)	請求の範囲	1-35, 37-43, 48-52	有
	請求の範囲		無

## 2. 文献及び説明 (PCT規則 70.7)

文献1: JP 2003-347921 A (株式会社ルネサステクノロジ)  
2003.12.05  
文献2: JP 2000-196433 A (シャープ株式会社)  
2000.07.14  
文献3: JP 10-163826 A (富士通株式会社) 1998.06.19  
文献4: JP 57-129534 A (日本電気株式会社) 1982.08.11  
文献5: JP 2000-357949 A (日本テキサス・インスツルメンツ株式  
会社) 2000.12.26  
文献6: JP 2003-142999 A (NECエレクトロニクス株式会社)  
2003.05.16

請求の範囲1-35, 37-43, 48-52に係る発明は、国際調査報告に引用されたいずれの文献にも記載されておらず、当業者にとって自明のものでもない。

補充欄

いずれかの欄の大きさが足りない場合

第 I 欄の続き

第 1, 4-7, 12, 18, 19, 22, 24-32, 34, 35, 37-43, 48-52 項

## 第I欄 報告の基礎

1. 言語に関し、この予備審査報告は以下のものを基礎とした。

- ☒ 出願時の言語による国際出願  
☐ 出願時の言語から次の目的のための言語である \_\_\_\_\_ 語に翻訳された、この国際出願の翻訳文  
☐ 国際調査 (PCT規則12.3(a)及び23.1(b))  
☐ 国際公開 (PCT規則12.4(a))  
☐ 国際予備審査 (PCT規則55.2(a)又は55.3(a))

2. この報告は下記の出願書類を基礎とした。(法第6条(PCT14条)の規定に基づく命令に回答するために提出された差替え用紙は、この報告において「出願時」とし、この報告に添付していない。)

☐ 出願時の国際出願書類

☒ 明細書

第 1-13 \_\_\_\_\_ ページ、出願時に提出されたもの

第 \_\_\_\_\_ ページ\*、 \_\_\_\_\_ 付で国際予備審査機関が受理したもの

第 \_\_\_\_\_ ページ\*、 \_\_\_\_\_ 付で国際予備審査機関が受理したもの

☒ 請求の範囲

第 2, 3, 8-11, 13-17, 20, 21, 23, 33 \_\_\_\_\_ 項、出願時に提出されたもの

第 \_\_\_\_\_ 項\*、PCT19条の規定に基づき補正されたもの

第 (補充欄参照) \_\_\_\_\_ 項\*、16. 11. 2005 付で国際予備審査機関が受理したもの

第 \_\_\_\_\_ 項\*、 \_\_\_\_\_ 付で国際予備審査機関が受理したもの

☒ 図面

第 1-12 \_\_\_\_\_ ページ/図、出願時に提出されたもの

第 \_\_\_\_\_ ページ/図\*、 \_\_\_\_\_ 付で国際予備審査機関が受理したもの

第 \_\_\_\_\_ ページ/図\*、 \_\_\_\_\_ 付で国際予備審査機関が受理したもの

☐ 配列表又は関連するテーブル

配列表に関する補充欄を参照すること。

3. ☐ 補正により、下記の書類が削除された。

☐ 明細書 第 \_\_\_\_\_ ページ

☒ 請求の範囲 第 36, 44-47 \_\_\_\_\_ 項

☐ 図面 第 \_\_\_\_\_ ページ/図

☐ 配列表 (具体的に記載すること) \_\_\_\_\_

☐ 配列表に関連するテーブル (具体的に記載すること) \_\_\_\_\_

4. ☐ この報告は、補充欄に示したように、この報告に添付されかつ以下に示した補正が出願時における開示の範囲を超えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c))

☐ 明細書 第 \_\_\_\_\_ ページ

☐ 請求の範囲 第 \_\_\_\_\_ 項

☐ 図面 第 \_\_\_\_\_ ページ/図

☐ 配列表 (具体的に記載すること) \_\_\_\_\_

☐ 配列表に関連するテーブル (具体的に記載すること) \_\_\_\_\_

\* 4. に該当する場合、その用紙に“superseded”と記入されることがある。

請求の範囲

[1] (補正後) 入力電圧が供給される入力端子と、

上記入力端子にソース、ドレイン経路の一方が接続され、ゲートに所定電圧が与えられたMOSFETと、

上記MOSFETのソース、ドレイン経路の他方と回路の接地電位との間に設けられた電流源とを有し、

上記MOSFETのソース、ドレイン経路の他方から出力電圧を得ることを特徴とする電圧クランプ回路。

[2] 請求項1において、

上記電流源と並列形態にキャパシタが設けられてなることを特徴とする電圧クランプ回路。

[3] 請求項2において、

上記キャパシタは、上記MOSFETのドレイン、ソース間寄生容量に対して十分な容量値を持つようにされてなるMOS容量であり、

上記電流源はゲートとソースが接続されたディプレッション型MOSFETであることを特徴とする電圧クランプ回路。

[4] (補正後) 請求項3において、

上記出力電圧は、上記入力電圧よりも小さな電源電圧で動作する第1CMOSインバータ回路の入力に伝えられることを特徴とする電圧クランプ回路。

[5] (補正後) 請求項1において、

上記電圧クランプ回路は、半導体集積回路装置に搭載され、

上記入力端子は、半導体集積回路装置の外部端子であり、静電気破壊防止回路が設けられてなることを特徴とする電圧クランプ回路。

[6] (補正後) 請求項4において、

上記第1CMOSインバータ回路の出力信号は、次段の第2CMOSインバータ回路の入力に伝えられ、

かかる第2CMOSインバータ回路の出力信号は、上記第2CMOSインバータ回路の入力端子との回路の接地電位

との間に設けられたMOSFETのゲートに帰還され、上記第1CMOSインバータ回路がヒステリシス伝達特性を持つようにされてなることを特徴とする電圧クランプ回路。

[7] (補正後) 請求項5において、

上記MOSFETは、Nチャネル型とされ、

上記入力電圧は、正の電圧であることを特徴とする電圧クランプ回路。

[8] 請求項1において、

上記電流源は直流的な電流成分を流すことが可能なことを特徴とする電圧クランプ回路。

[9] 請求項8において、

上記電流源と並列形態にキャパシタが設けられることを特徴とする電圧クランプ回路。

[10] 請求項9において、

上記出力電圧は、上記入力電圧よりも小さな電源電圧で動作する入力回路の入力部に伝えられ、上記所定電圧は、上記電源電圧であり、

上記入力回路は上記キャパシタと並列形態に容量成分を持っていることを特徴とする電圧クランプ回路。

[11] 請求項1において、

上記MOSFETの基板は上記MOSFETのソース、ドレイン経路の他方と接続されていることを特徴とする電圧クランプ回路。

[12] (補正後) 入力電圧が供給される入力ノードにソース、ドレイン経路の一方が接続され、ゲートに所定電圧が与えられたMOSFETと、

上記MOSFETのソース、ドレイン経路の他方と回路の接地電位との間に設けられた直流的な電流成分を流すことが可能な電流源とを有し、

上記MOSFETのソース、ドレイン経路の他方から出力電圧を得ることを特徴とする電圧レベル変換回路。

[13] 請求項12において、

上記電流源と並列形態にキャパシタが設けられてなることを特徴とする電圧レベル変換回路。

[14] 請求項13において、

上記キャパシタは、上記MOSFETのドレイン、ソース間寄生容量に対して十分大きな容量値を持つようにされてなるMOS容量であり、

上記電流源はゲートとソースが接続されたディプレッション型MOSFETであることを特徴とする電圧レベル変換回路。

[15] 請求項14において、

上記出力電圧は、上記入力電圧よりも小さな電源電圧で動作する第1CMOSインバータ回路の入力に伝えられ、

上記所定電圧は、上記電源電圧であることを特徴とする電圧レベル変換回路。

[16] 請求項12において、

上記電圧レベル変換回路は、一つの半導体基板上に搭載されることを特徴とする電圧レベル変換回路。

[17] 請求項16において、

上記電圧レベル変換回路は、半導体集積回路装置に搭載され、

上記入力ノードは半導体集積回路装置の外部端子であり、静電気破壊防止回路が設けられてなることを特徴とする電圧レベル変換回路。

[18] (補正後) 請求項14において、

上記第1CMOSインバータ回路の出力信号は、次段の第2CMOSインバータ回路の入力に伝えられ、

かかる第2CMOSインバータ回路の出力信号は、上記第2CMOSインバータ回路の入力端子と回路の接地電位との間に設けられたMOSFETのゲートに帰還され、上記第1CMOSインバータ回路がヒステリシス伝達特性を持つようにされてなることを特徴とする電圧レベル変換回路。

[19] (補正後) 請求項15において、

上記MOSFET及びディプレッションMOSFETは、Nチャネル型とされ、

上記入力電圧及び電源電圧は、正の電圧であることを特徴とする電圧レベル変換回路。

[20] 請求項 13 において、

上記出力電圧は、上記入力電圧よりも小さな電源電圧で動作する入力回路の入力部に伝えられ、

上記所定電圧は、上記電源電圧であり、

上記入力回路は、上記キャパシタと並列形態に容量成分を持っていることを特徴とする電圧レベル変換回路。

[21] 請求項 12 において、

上記 MOSFET の基板は上記 MOSFET のソース、ドレイン経路の他方と接続されていることを特徴とする電圧レベル変換回路。

[22] (補正後) インダクタと、

上記インダクタに直列形態に設けられて出力電圧を形成する第 1 キャパシタと、  
入力電圧をスイッチング制御することにより上記インダクタに流す電流を制御する第 1 スイッチ素子と、

上記第 1 スイッチ素子がオフ状態のときにオン状態であるような時間を有するようスイッチング動作が行われ、上記電流を制御する第 2 スイッチ素子と、

入力電圧に対応した第一の電圧により動作し、上記第 1 スイッチ素子を駆動する第 1 駆動回路と、

第二の電圧により動作し、上記第 2 スイッチ素子を駆動する第 2 駆動回路と、

上記第 1 キャパシタから得られる上記出力電圧が所定電圧となるように PWM 信号を形成する制御回路と、

上記入力電圧又は第二の電圧以下の第三の電圧で動作し、上記 PWM 信号を受けて上記第 1 駆動回路と第 2 駆動回路の駆動信号を形成する制御論理回路とを備え、

上記制御論理回路は、

上記第 1 スイッチ素子のための駆動信号を上記第三の電圧に対応して電圧クランプして上記第 2 駆動回路の入力に帰還する第 1 電圧クランプ回路と、上記第 2 スイッチ素子のための駆動信号を上記第三の電圧に対応して電圧クランプして上記第 1 駆動回路の入力に帰還する第 2 電圧クランプ回路とを備えて上記第 1 と第 2 スイッチ素子が同時にオン



状態とならないようにスイッチング制御を行うものであり、

上記第1及び第2電圧クランプ回路それぞれは、

入力ノードと、

上記入力ノードにソース、ドレイン経路の一方が接続され、ゲートに上記第三の電圧が与えられたMOSFETと、

上記MOSFETのソース、ドレイン経路の他方と回路の接地電位との間に設けられた電流源とを有し、

上記MOSFETのソース、ドレイン経路の他方から上記入力ノードからの信号を電圧クランプした帰還信号を得ることを特徴とするスイッチング電源装置。

[23] 請求項22において、

第3電圧クランプ回路を有し、

上記第3電圧クランプ回路は、

上記スイッチング電源装置の有効/無効(ON/OFF)を制御するための入力信号が供給される入力ノードと、

上記入力ノードにソース、ドレイン経路の一方が接続され、ゲートに上記第三の電圧が与えられたMOSFETと、

上記MOSFETのソース、ドレイン経路の他方と回路の接地電位との間に設けられた電流源と、

上記MOSFETのソース、ドレイン経路の他方から上記入力信号を電圧クランプした制御信号を得ることを特徴とするスイッチング電源装置。

[24] (補正後) 請求項22において、

上記電流源には、並列形態に第2キャパシタが設けられてなることを特徴とするスイッチング電源装置。

[25] (補正後) 請求項24において、

上記第2キャパシタは、上記MOSFETのドレイン、ソース間寄生容量に対して十分大きな容量値を持つようにされてなるMOS容量であり、

上記電流源はゲートとソースが接続されたディプレッション型MOSFETであることを特徴とするスイッチング電源装置。

[26] (補正後) 請求項 22 において、

上記電流源は直流的な電流成分を流すことが可能なことを特徴とするスイッチング電源装置。

[27] (補正後) 請求項 26 において、

上記電流源と並列形態に第 2 キャパシタが設けられることを特徴とするスイッチング電源装置。

[28] (補正後) 請求項 27 において、

上記帰還信号は、上記駆動信号よりも小さな上記第三の電圧で動作する上記制御論理回路の入力部に伝えられていることを特徴とするスイッチング電源装置。

[29] (補正後) 入力電圧を降圧して出力電圧を形成するための電流を制御する第 1 スイッチ素子と、

上記電流を流す為の端子と、

上記第 1 スイッチ素子がオフ状態のときにオン状態であるような時間を有するようスイッチング動作が行われ、上記電流を制御する第 2 スイッチ素子と、

上記入力電圧に対応した第一の電圧により動作し、上記第 1 スイッチ素子を駆動する第 1 駆動回路と、

第二の電圧により動作し、上記第 2 スイッチ素子を駆動する第 2 駆動回路と、

上記入力電圧又は第二の電圧以下の第三の電圧で動作し、上記第 1 スイッチ素子と第二スイッチ素子のための制御用信号を受けて上記第 1 駆動回路と第 2 駆動回路の駆動信号を形成する制御論理回路とを備え、

上記制御論理回路は、

上記第 1 スイッチ素子のための駆動信号を上記第三の電圧に対応して電圧レベル変換して上記第 2 駆動回路の入力に帰還する第 1 電圧レベル変換回路と、上記第 2 スイッチ素子のための駆動信号を上記第三の電圧に対応して電圧レベル変換して上記第 1 駆動回路の入力に帰還する第 2 電圧レベル変換回路とを備えて上記第 1 と第 2 スイッチ素子が同時にオン状態とならないようにスイッチング制御を行うものであり、上記第 1 スイッチ素子と、上記端子と、上記第 2 スイッチ素子と、上記第 1 駆動回路と、上記第 2 駆動回路と、上記制御論理回路とが一つのパッケージに封止されている

ことを特徴とする半導体集積回路装置。

[30] (補正後) 請求項 29 において、

上記制御用信号は PWM 信号であり、

上記第 1 及び第 2 電圧レベル変換回路それぞれは、

上記駆動信号が供給される入力ノードと、

上記入力ノードにソース、ドレイン経路の一方が接続され、ゲートに上記第三の電圧が与えられた MOSFET と、

上記 MOSFET のソース、ドレイン経路の他方と回路の接地電位との間に設けられた直流的な電流成分を流すことが可能な電流源と、

上記 MOSFET のソース、ドレイン経路の他方から上記駆動信号を電圧レベル変換した帰還信号を得るものであることを特徴とする半導体集積回路装置。

[31] (補正後) 請求項 29 において、

上記制御用信号は PWM 信号であり、

上記半導体集積回路装置は更に第 3 電圧レベル変換回路を有し、

上記第 3 電圧レベル変換回路は上記一つのパッケージに封止され、

上記第 3 電圧レベル変換回路は、

上記半導体集積回路装置の有効/無効 (ON/OFF) を制御するための入力信号が供給される入力端子と、

上記入力端子にソース、ドレイン経路の一方が接続され、ゲートに上記第三の電圧が与えられた MOSFET と、

上記 MOSFET のソース、ドレイン経路の他方と回路の接地電位との間に設けられた直流的な電流成分を流すことが可能な電流源と、

上記 MOSFET のソース、ドレイン経路の他方から上記入力信号を電圧レベル変換した制御信号を得ることを特徴とする半導体集積回路装置。

[32] (補正後) 請求項 30 において、

上記電流源には、並列形態にキャパシタが設けられてなることを特徴とする半導体集積回路装置。

[33] 請求項 32 において、

上記キャパシタは、上記MOSFETのドレイン、ソース間寄生容量に対して十分大きな容量値を持つようにされてなるMOS容量であり、

上記電流源はゲートとソースが接続されたディプレッション型MOSFETであることを特徴とする半導体集積回路装置。

[34] (補正後) 請求項30において、

上記帰還信号は、上記駆動信号よりも小さな上記第三の電圧で動作する上記制御論理回路の入力部に伝えられていることを特徴とする半導体集積回路装置。

[35] (補正後) 請求項29において、

上記電流はインダクタと上記インダクタに直列形態に設けられた容量により上記出力電圧を形成するために上記入力電圧の生成部から上記インダクタに流す電流であることを特徴とする半導体集積回路装置。

[36] (削除)

[37] (補正後) 入力電圧が供給される入力端子と、

上記入力端子にソース、ドレイン経路の一方が接続されゲートに所定電圧が与えられたMOSFETと、

上記MOSFETのソース、ドレイン経路の他方と回路の接地電位との間に設けられた部位とを有し、

上記MOSFETのソース、ドレイン経路の他方から出力電圧を得るものであり、

上記入力電圧が上記所定電位に対応する電圧以上であった場合には、上記ソース、ドレイン経路の他方から上記所定電位に対応する上記出力電圧が出力され、

上記部位は上記接地電位よりも大きい電圧が上記ソース、ドレイン経路の他方に印加されている場合には、上記ソース、ドレイン経路の他方の電圧が上記接地電位に近づくような電流が流れる事が可能に構成されていることを特徴とする電圧レベル変換回路。

[38] (補正後) 請求項37において、

上記入力電圧が上記所定電位に対応する電圧未満であった場合には、上記ソース、ドレイン経路の他方から上記入力電圧に対応する上記出力電圧が出力されることを特徴とする電圧レベル変換回路。

[39] (補正後) 請求項 37 において、

上記接地電位に近づくような電流は、上記電圧レベル変換回路の不良と見なされない程度の微小な電流であることを特徴とする電圧レベル変換回路。

[40] (補正後) 請求項 37 において、

上記部位と並列形態にキャパシタが設けられてなることを特徴とする電圧レベル変換回路。

[41] (補正後) 請求項 37 において、

上記部位はゲートとソースが接続されたディプレッション型 MOSFET であることを特徴とする電圧レベル変換回路。

[42] (補正後) 請求項 37 において、

上記部位はポリシリコンで形成された抵抗素子であることを特徴とする電圧レベル変換回路。

[43] (補正後) 請求項 40 において、

上記キャパシタは、上記 MOSFET のドレイン、ソース間寄生容量に対して十分大きな容量値を持つようにされてなる MOS 容量であることを特徴とする電圧レベル変換回路。

[44] (削除)

[45] (削除)

[46] (削除)

[47] (削除)

[48] (追加) 請求項 29 において、

上記第 1 スイッチ素子は第一の半導体基板上に構成されていて、

上記第 2 スイッチ素子は第二の半導体基板上に構成されていて、

上記第一の半導体基板と上記第二の半導体基板とが上記一つのパッケージに封止されていることを特徴とする半導体集積回路装置。

[49] (追加) 請求項 48 において、

上記第 1 駆動回路と上記第 2 駆動回路と上記制御論理回路とは第三の半導体基板上に形成されていて、

上記第三の半導体基板が上記一つのパッケージに封止されていることを特徴とする半導体集積回路装置。

[50] (追加) 請求項 29 において、

上記第 1 スイッチ素子と、上記第 2 スイッチ素子と、上記第 1 駆動回路と、上記第 2 駆動回路と、上記制御論理回路とが一つの半導体基板上に構成されており、上記一つの半導体基板が上記一つのパッケージに封止されていることを特徴とする半導体集積回路装置。

[51] (追加) 請求項 29 において、

上記半導体集積回路装置の有効/無効を制御するための入力信号が供給される第一制御端子と、

上記 PWM 信号を受ける第二制御端子と、

上記第二の電圧を供給する為の電源端子とを有し、

上記電源端子に外部から電源を供給することにより上記第二の電圧を所定の範囲で任意に設定可能であることを特徴とする半導体集積回路装置。

[52] (追加) 請求項 51 において、

上記入力電圧を検出する為の検出回路を有し、検出結果に従って上記制御論理回路を制御することを特徴とする半導体集積回路装置。